

(54) FIELD-EFFECT TRANSISTOR

(11) 2-266569 (A) (43) 31.10.1990 (19) JP

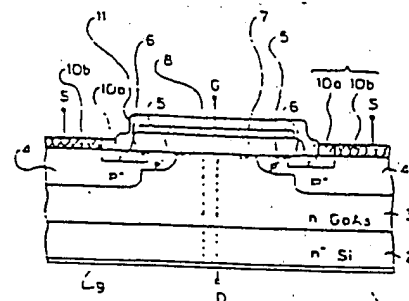
(21) Appl. No. 64-87691 (22) 6.4.1989

(71) FUJII ELECTRIC CO. LTD. (72) SHOUJI KITAMURA

(51) Int. Cl. H01L29/784

PURPOSE: To achieve an improved breakdown strength and large current characteristics and allow a transistor to be produced inexpensively by providing a GaAs insulated gate field-effect transistor on an Si substrate.

CONSTITUTION: An n-type GaAs first region 3 is formed on an n⁺ type Si substrate 2. p⁺ type GaAs and p⁺ type GaAs second regions 4 and 5 are formed on the surface of the first region 3 selectively, and an n⁺ type GaAs third region 6 is formed on the surface of the second regions 4 and 5 selectively. A CaF₂ gate insulating film 7 is formed on one part of the first region 3 and the third region 6 and one part 5 of the second region sandwiched by them and then an Al gate electrode 8 is formed on it. AuZn Au and AuGe source electrodes 10b and 10a are formed so that they may contact the surface of another part of the second region 4 and another part of the third region 6 simultaneously and Al drain electrode is formed on the rear surface of the GaAs substrate 2. Thus, it becomes inexpensive to produce an Si substrate and becomes possible to achieve high speed, low power controllability, improved breakdown strength, and large current owing to a vertical type MIS structure using GaAs basically.



9 drain electrode 10 isolation layer

757/192

④ 公開特許公報(A) 平2-266569

⑤ Int. Cl.

識別記号

庁内整理番号

⑥ 公開 平成2年(1990)10月31日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 2 1 B

審査請求 未請求 請求項の数 1 (全5頁)

⑦ 発明の名称 電界効果トランジスタ

⑧ 特 願 平1-87691

⑨ 出 願 平1(1989)4月6日

⑩ 発 明 者 北 村 祥 司 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑪ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑫ 代 理 人 弁理士 山 口 隆

明 細 書

1. 発明の名称 電界効果トランジスタ

2. 特許請求の範囲

1) 第1導電型のSi基板上に形成された第1導電型GaAsの第1領域と、その第1領域の表面に選択的に形成された第2導電型GaAsの第2領域と、この第2領域の表面に選択的に形成された高不純物濃度で第1導電型GaAsの第3領域と、前記第1領域と第3領域の一部とそれらの間に挟まれた第2領域の一部の上に形成されたゲート絶縁膜と、そのゲート絶縁膜の上に形成されたゲート電極と、前記第2領域の他の一部と前記第3領域の他の一部の表面に同時にコンタクトするよう形成されたソース電極と、前記GaAs基板の裏面に形成されたドレイン電極とを具備してなり、前記ゲート絶縁膜とのヘテロ界面での反転層をチャネルとすることとを特徴とする電界効果トランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、電界効果トランジスタに関し、さら

に詳しくは、GaAs絶縁ゲート電界効果トランジスタ(以下、MISFETと称す)の素子構造に関する。

(従来の技術)

現在、電力用スイッチング素子として、2重拡散技術を用いたSiパワーMOSFETが使われている。しかし、この素子は、高耐圧構造ではON抵抗が高くなってしまい大電流を流すのが難しい。

これに対して、導電変調型MOSFETが提案されているが、素子構造、作製プロセス等の問題がある。

そこでSiに代わって、高移動度を有するGaAsを用いればSiパワーMOSFETに比べて大電流、高耐圧の素子が実現できる可能性がある。

GaAsを用いた場合のチャネル構造としては、GaAs/AlGaAs等の半導体ヘテロ界面の2次元電子を利用するもの、GaF₃/GaAs等の化合物とGaAs界面の反転層を利用するものが考えられる。

しかし、ウェハーコスト、ウェハーサイズ、強度、熱伝導、重さ等で、SiはGaAsよりも優れてお

り、トータリトでGaAs・MISFETはSi・MOSFETに対し充分な優位性を持たないと考えられる。

エピタキシャル成長させたGaF₃膜をゲート絶縁膜として用いて製作されたGaAs・MISFETを第3図に示す。

他方、Si基板上へのGaAsのヘテロエピタキシー技術が最近注目されている。すなわち、Si基板とGaAs成長層間の格子不整合(格子定数差4.1%)を緩和するためのバッファ層形成技術として、2段階成長法や、歪屈格子を用いる方法等が提案されている。前者は成長層と同じ材料のn₀程度のごく薄い膜(バッファ層)を低温でまず成長させ、次に通常の成長温度でエピタキシャル成長を行うもの、後者は屈格子をバッファ層とするものであり、ともにバッファ層でミスフィット転移を吸収し、良質の成長層を得ようとするものである。
(発明が解決しようとする課題)

従来、第3図に示す如き構造のGaAs・MISFETが製作されているが、充分な高耐圧性、大電

流特性を得られない問題点があった。

また、ウェハーコスト、ウェハーサイズ、強度、熱伝導、重さ等では、むしろGaAsを用いるとSiよりも劣る問題点があった。

従って、本発明の目的とするところはGaAsを用いて充分な高耐圧性と大電流特性とを得ることができると共に、Siの利点をも取り入れた構造のMISFETを提供することにある。

(課題を解決するための手段)

本発明の電界効果トランジスタは、第1導電型のSi基板上に形成された第1導電型GaAsの第1領域と、その第1領域の表面に選択的に形成された第2導電型GaAsの第2領域と、この第2領域の表面に選択的に形成された高不純物濃度で第1導電型GaAsの第3領域と、前記第1領域と第3領域の一部とそれらの間に挟まれた第2領域の一部の上に形成されたゲート絶縁膜と、そのゲート絶縁膜の上に形成されたゲート電極と、前記第2領域の他の一部と前記第3領域の他の一部の表面に同時にコンタクトするよう形成されたソース電極と、前

れるものではない。

第1図は本発明の一実施例のMISFETを示すものであって、n⁺型Si基板2上にn型GaAsの第1領域3が形成され、その第1領域3の表面に選択的にp⁺型GaAsとp⁺型GaAsの第2領域4、5が形成され、その第2領域4、5の表面に選択的にn⁺型GaAsの第3領域6が形成されている。第1領域3と第3領域6の一部とそれらの間に挟まれた第2領域の一部5の上にはGaF₃のゲート絶縁膜7が形成され、その上にAlのゲート電極8が形成されている。また、第2領域4の他の一部4と第3領域6の他の一部の表面に同時にコンタクトするようにAuZn/AuとAuGeのソース電極10a、10bが形成され、また、GaAs基板2の裏面にはAlのドレイン電極が形成されている。さらに、SiO₂のアイソレーション層11が形成されている。

第3図(a)~(i)は、上記MISFETの製造工程を各々示したものである。以下、順に説明する。

(a) n⁺型Si(1×10¹⁸cm⁻³, 300μm)を基板2上にn型GaAs(〜1×10¹⁸cm⁻³, 40μm)をMOCV

記GaAs基板の表面に形成されたドレイン電極とを具備してなり、前記ゲート絶縁膜とのヘテロ界面での反転層をチャネルとすることを構成上の特徴とするものである。

(作用)

Si基板を用いることで、コスト等を低減できる。また、FET特性はSi上のGaAs層で決まり、以下のように高耐圧、大電流化が可能となる。すなわち、ゲート電圧によりゲート絶縁膜とGaAsの界面にポテンシャルの井戸すなわち反転層が形成され、チャネルとなる。電流は、ドレイン電極からGaAs基板および第1領域内を流れ、前記チャネルを通過してソース電極に流れる。この縦型構造のためON抵抗が低くなり大電流特性が得られる。また、ドレイン電圧が上昇すると、空乏層が第1領域に広がって電圧を保持するので、高耐圧特性が得られる。

(実施例)

以下、図に示す実施例により本発明をさらに詳しく説明する。なお、これにより本発明が限定さ

D法を用いた2段階成長法でエピタキシャル成長させて第1領域3を形成する。すなわち、まず第1段階として、Si基板を高温(900℃)で処理し、その後450℃ないしそれ以下でバッファ層(20nm程度)の低温成長を行い、次に第2段階として、成長温度750℃でn-GaAsを成長させた。

(b) 第1領域3の表面にSiO₂をスパッタまたは蒸着し、フォトリソエッチングでマスクを形成し、InまたはZnのインプラ(ドーズ量 $1 \times 10^{11} \text{ cm}^{-2}$ 、深さ3μm程度)を行い、p⁺型GaAsの第2領域4を選択的に形成する。

(c) SiO₂のマスクの一部を除去し、更にInまたはZnのインプラ(ドーズ量 $1 \times 10^{11} \text{ cm}^{-2}$ 、深さ1μm)を行い、p⁺型GaAsの第2領域5を形成する。

(d) アニールにより、第2領域4、5を活性化する。

(e) SiO₂のマスクを除去し、再び全面にSiO₂を蒸着し、フォトリソエッチングでマスク形成後、Siのインプラ(ドーズ量 $1 \times 10^{11} \text{ cm}^{-2}$ 、深さ0.5μm)を行い、n⁺型GaAsの第3領域6を形成する。

また、Al_{0.5}Ga_{0.5}AsまたはZnSeを用いる場合にも、電極との間にn⁺型GaAs層を形成する以外は、上記と同様なプロセスで実現できる。また、エピタキシャル成長法は、MBE法、VPE法でも可能である。

本発明の電界効果トランジスタはSi基板を用いることで実現である。

また、基本的にはGaAs縦型FETであるためドレイン電流が大きく、半導体表面の利用効率が良い。また、第1領域3が高耐圧化のための低濃度領域として働く。さらに、Siより高移動度でバンドギャップの大きいGaAsを用いているから、高周波特性が良好となり、ON抵抗も低くなり、高周波動作も可能となる。

第1表に上記MISFET1の特性を示す。また、比較のためにSi-MOSFET(耐圧500V/電流容量10A、同1000V/5A)の特性を併示する。第1表から理解されるように、チップ当たりの電流容量が3倍になると共に、アンペア当たりのコストも1/3に低減し得る。

(f) アニールにより活性化し、SiO₂のマスクを除去し、全面にCaF₂をエピタキシャル成長する。具体的には、MBE法を用い、表面を化学処理後、基板温度450℃でCaF₂を成長した。そして、フォトリソエッチングにより、図に示す図き部分以外のCaF₂を除去する。これによりゲート絶縁膜7が形成される。

(g) 表面および裏面にAlを蒸着し、表面側は図に示す部分のみを露すようにエッチングする。ゲート絶縁膜7上のAl層がゲート電極8となり、裏面のAl層がドレイン電極9となる。

(h) 次にフォトリソエッチング工程を経て、第2領域4上の方にAuZn/Auを蒸着する。前記第3領域6上のAl層と共にソース電極10a、10bとなる。

(i) フォトリソエッチング工程を経て、SiO₂のアイソレーション層11を図に示すように形成する。

以上によりMISFET1が製造される。なお、ゲート絶縁膜7として、CaF₂の代わりに他の化合物またはAlNのような窒化物を用いる場合でも同様なプロセスで実現できる。

また、同一Si基板上でのSi素子との複合化も可能である。

第1表

項目	GaAs-MISFET on Si		Si-MOSFET	
	500V	1000V	500V	1000V
チップサイズ (mm)	5.1 ⁰	5.3 ⁰	5.1 ⁰	5.3 ⁰
オン抵抗 (Ω)	0.11	0.34	0.55	1.7
I _d (A)	27.0	15.3	10	5
アンペア当たりのコスト	0.37	0.32	1	1

〔発明の効果〕

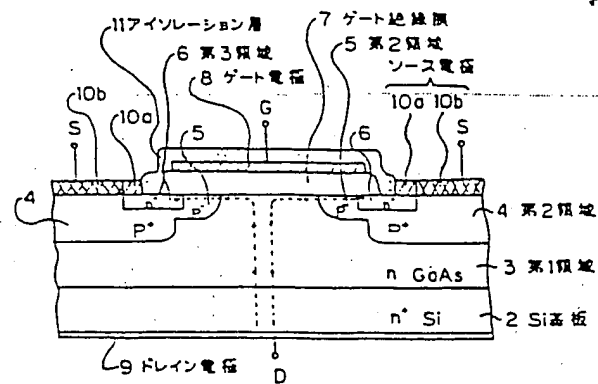
本発明の電界効果トランジスタは、Si基板を用いることで実現である。また、基本的にはGaAsを用いた縦型のMIS構造であるため、高速、低電力消費性、高耐圧、大電流化に優れており、電力用スイッチング素子として極めて有用である。

4. 図面の簡単な説明

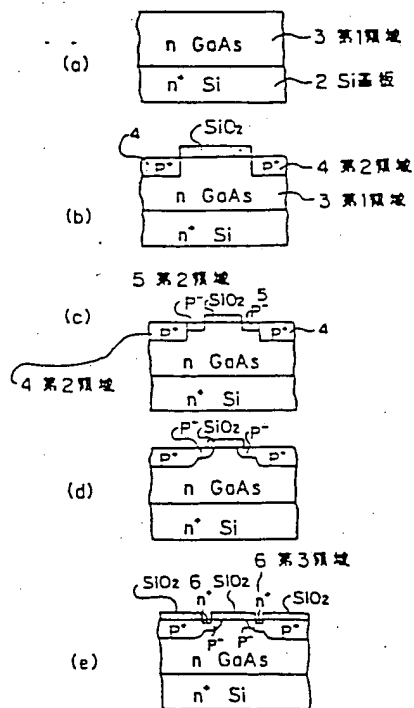
第1図は本発明の一実施例のMISFETの断面図、第2図(a)~(i)は第1図に示すMISFETの製造工程を示す断面図、第3図は従来公知のGaAs-MISFETの断面図である。

1—MISFET、2—Si基板、3—第1領域、
4、5—第2領域、6—第3領域、7—ゲート絶
縁膜、8—ゲート電極、9—ドレイン電極、10a、
10b—ソース電極、11—アイソレーション層。

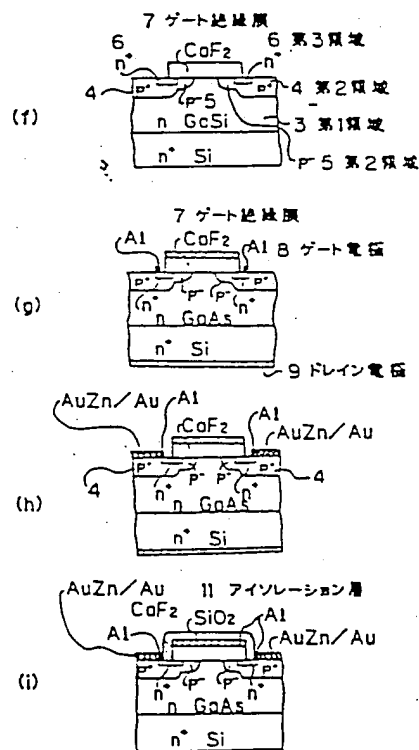
代表人 山 口 昌



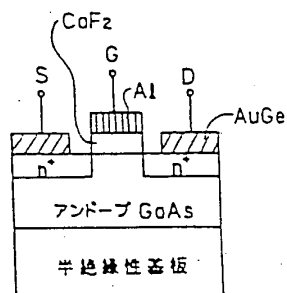
第 1 図



第 2 図 (その1)



第 2 図 (その2)



第 3 図